

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-340871

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

H01L 21/304

B24B 37/00

H01L 27/108

H01L 21/8242

(21)Application number : 09-149156

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 06.06.1997

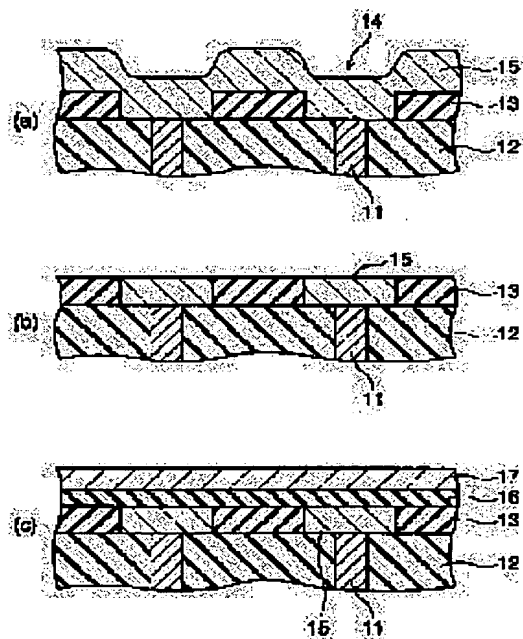
(72)Inventor : NAKAMURA KENRO

(54) POLISHING METHOD AND MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To enable a noble metal film to be selectively polished with respect to a silicon oxide film.

SOLUTION: A silicon oxide film 13 with openings 14 is formed on the groundwork with connecting electrodes 11, and a node metal film 15 is formed thereon to construct the lower electrodes of a capacitor. Next the noble metal film 15 is polished using the silicon oxide film 13 as a stopper, by a chemical and mechanical polishing method using an acidic slurry which includes at least an oxidizer to selectively retain the noble metal film 15 in the openings 14. Next a dielectric film 16 of the capacitor is formed on the noble metal film 15 left in the openings 14 and the silicon oxide film 13, and a conductive film 17 is formed on the dielectric film 16, to construct the upper electrodes of the capacitor.



LEGAL STATUS

[Date of request for examination]

09.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-340871

(43) 公開日 平成10年(1998)12月22日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/304

3 2 1

H 0 1 L 21/304

3 2 1 P

3 2 1 M

3 2 1 S

B 2 4 B 37/00

B 2 4 B 37/00

H

H 0 1 L 27/108

H 0 1 L 27/10

6 2 1 B

審査請求 未請求 請求項の数10 O L (全 7 頁) 最終頁に続く

(21) 出願番号

特願平9-149156

(22) 出願日

平成9年(1997)6月6日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中村 賢朗

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝研究開発センター内

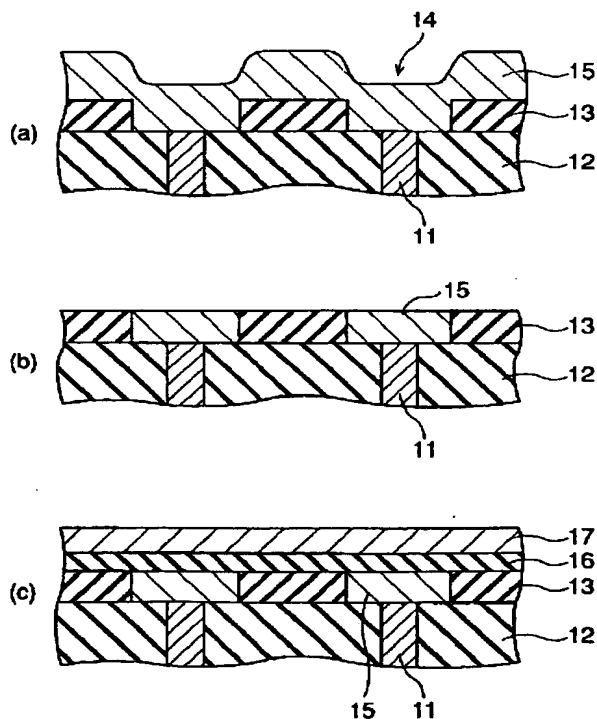
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 研磨方法及び半導体装置の製造方法

(57) 【要約】

【課題】 貴金属膜をシリコン酸化膜に対して選択的に研磨することを可能とする。

【解決手段】 接続用電極11を有する下地上に開口部14を有するシリコン酸化膜13を形成する工程と、この上にキャパシタの下部電極となる貴金属膜15を形成する工程と、酸化剤を少なくとも含む酸性のスラリーを用いた化学的機械的研磨法によりシリコン酸化膜13をストッパーとして貴金属膜15を研磨することにより、開口部14内に貴金属膜15を選択的に残置させる工程と、開口部14内に残置した貴金属膜15上及びシリコン酸化膜13上にキャパシタの誘電体膜16を形成する工程と、この誘電体膜16上にキャパシタの上部電極となる導電体膜17を形成する工程とを有する。



【特許請求の範囲】

【請求項1】 シリコン酸化膜上に形成された貴金属膜を酸化剤を少なくとも含む酸性のスラリーを用いた化学的機械的研磨法により前記シリコン酸化膜に対して選択的に研磨することを特徴とする研磨方法。

【請求項2】 前記酸性のスラリーは2種以上の酸化剤を少なくとも含むものであることを特徴とする請求項1に記載の研磨方法。

【請求項3】 前記貴金属膜はRu膜であることを特徴とする請求項1又は2に記載の研磨方法。

【請求項4】 前記酸化剤は硝酸及び過酸化水素であることを特徴とする請求項1又は2に記載の研磨方法。

【請求項5】 前記貴金属膜はRu膜であり、前記酸化剤は硝酸及び過酸化水素であり、前記スラリーのpH及び前記過酸化水素の濃度を所定の値に調整することにより、前記Ru膜を前記シリコン酸化膜に対して選択的に研磨することを特徴とする請求項2に記載の研磨方法。

【請求項6】 接続用電極を有する下地上に該接続用電極に対応した領域に開口部を有するシリコン酸化膜を形成する工程と、前記開口部以外の領域の前記シリコン酸化膜上及び前記開口部内にキャパシタの下部電極となる貴金属膜を形成する工程と、酸化剤を少なくとも含む酸性のスラリーを用いた化学的機械的研磨法により前記シリコン酸化膜をストッパーとして前記貴金属膜を前記シリコン酸化膜に対して選択的に研磨することにより、前記開口部内に前記貴金属膜を選択的に残置させる工程と、前記開口部内に残置した貴金属膜上及び前記開口部以外の領域のシリコン酸化膜上にキャパシタの誘電体膜を形成する工程と、この誘電体膜上にキャパシタの上部電極となる導電体膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 接続用電極を有する下地上に該接続用電極に対応した領域に開口部を有するシリコン酸化膜を形成する工程と、前記開口部以外の領域の前記シリコン酸化膜上及び前記開口部内にキャパシタの下部電極となる貴金属膜を形成する工程と、酸化剤を少なくとも含む酸性のスラリーを用いた化学的機械的研磨法により前記シリコン酸化膜をストッパーとして前記貴金属膜を前記シリコン酸化膜に対して選択的に研磨することにより、前記開口部内に前記貴金属膜を選択的に残置させる工程と、前記開口部内に残置した貴金属膜に対して選択的に前記酸化膜を除去する工程と、この酸化膜が除去された領域上及び前記貴金属膜上にキャパシタの誘電体膜を形成する工程と、この誘電体膜上にキャパシタの上部電極となる導電体膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項8】 接続用電極を有する下地上に該接続用電極に対応した領域に開口部を有するシリコン酸化膜を形成する工程と、このシリコン酸化膜の上面及び前記開口部の内面に沿ってキャパシタの下部電極となる貴金属膜

を形成する工程と、酸化剤を少なくとも含む酸性のスラリーを用いた化学的機械的研磨法により前記シリコン酸化膜をストッパーとして前記貴金属膜を前記シリコン酸化膜に対して選択的に研磨することにより、前記開口部の内面に沿って前記貴金属膜を選択的に残置させる工程と、この開口部の内面に沿って残置した貴金属膜上及び前記開口部以外の領域のシリコン酸化膜上にキャパシタの誘電体膜を形成する工程と、この誘電体膜上にキャパシタの上部電極となる導電体膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項9】 前記酸性のスラリーは2種以上の酸化剤を少なくとも含むものであることを特徴とする請求項6乃至8のいずれかに記載の半導体装置の製造方法。

【請求項10】 2種以上の酸化剤を少なくとも含みかつ酸性であることを特徴とする化学的機械的研磨用スラリー。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、研磨方法及び半導体装置の製造方法、並びに化学的機械的研磨（CMP）用スラリーに関する。

【0002】

【従来の技術】近年、半導体装置の高密度化・微細化に伴い、種々の微細加工技術が研究開発されている。その中でCMP技術は、層間絶縁膜の平坦化、プラグの形成、埋め込み金属配線の形成、埋め込み素子分離などを行う際に、欠かすことのできない必須の技術になっている。

【0003】このCMP技術を応用してキャパシタの電極加工を行う試みもなされている。特に、誘電体膜としてペロフスカイト結晶を用いる次世代DRAM或いはFRAMのキャパシタ形成においては、CMP技術の確立が非常に重要になると考えられる。なぜなら、これらのキャパシタの下部電極には誘電体膜の成膜時に酸化され難い貴金属を選択する必要がある、貴金属は化学的に安定であるためウェットエッチング法或いはドライエッチング法により加工することが一般に困難だからである。これに対して、CMP法は、化学的な研磨作用に機械的な研磨作用が加わるので、貴金属に対しても加工が可能になる。また、微細加工という点で、ウェットエッチング法、ドライエッチング法に優る。

【0004】

【発明が解決しようとする課題】しかしながら、従来のスラリーを用いてCMPを行った場合には、貴金属の研磨レートより下地のシリコン酸化膜の研磨レートの方が大きいため、シリコン酸化膜をストッパーとして貴金属膜を研磨することができなかった。そのため、ウエハ面内或いはウエハ間で安定した加工を行うことが困難であった。

【0005】本発明は、上記従来の課題に対してなされ

10

20

30

40

50

たものであり、貴金属膜をシリコン酸化膜に対して選択的に研磨することが可能な研磨方法等を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明における研磨方法は、シリコン酸化膜上に形成された貴金属膜を酸化剤を少なくとも含む酸性のスラリーを用いた化学的機械的研磨法により前記シリコン酸化膜に対して選択的に研磨することを特徴とする。

【0007】前記酸性のスラリーは2種以上の酸化剤を少なくとも含むものであることが好ましい。このように、酸性でかつ酸化力のあるスラリーを用いた場合、スラリーのpHや酸化剤の濃度等を適当な値に設定することにより、貴金属膜の研磨レートを上げるとともにシリコン酸化膜の研磨レートを下げることが可能となる。したがって、貴金属膜の研磨レートをシリコン酸化膜の研磨レートよりも上げることができ、シリコン酸化膜をストッパーとして貴金属膜を化学的機械的研磨することが可能になる。

【0008】貴金属膜としてはRu膜、酸化剤（2種以上の酸化剤）としては硝酸及び過酸化水素を代表的なものとしてあげることができる。この場合、スラリーのpH及び過酸化水素の濃度を所定の値に調整することにより、Ru膜をシリコン酸化膜に対して選択的に研磨することができる。例えば、スラリーのpHを2程度（1.5～2.5の範囲であればよい）にするとともに、スラリー中の過酸化水素の濃度を3.5wt%程度（2.0～6.0wt%の範囲であればよい）にすることにより、高い選択比を得ることができる。

【0009】前記の例では、硝酸は酸化剤として機能する他、スラリーを酸性にする機能を有する。スラリーを酸性にするものとしては、硝酸以外に硫酸や塩酸等もあげられる。

【0010】前記研磨方法を半導体装置の製造方法に適用することにより、下部電極としてRu膜等の貴金属膜、誘電体膜としてBaSrTiO₃膜等のペロフスカイト結晶構造を有する膜、上部電極としてRu膜等の導電体膜を用いたキャパシタを形成することができる。すなわち、接続用電極（通常はプラグ）を有する下地上に該接続用電極に対応した領域に開口部を有するシリコン酸化膜を形成し、その後全面にRu膜等の貴金属膜を形成し、前記研磨方法により前記シリコン酸化膜をストッパーとして前記貴金属膜を研磨することにより、キャパシタの下部電極を形成することができる。

【0011】このように、前記研磨方法を半導体装置のキャパシタの作製に適用することにより、Ru等の貴金属からなるキャパシタの下部電極の加工が容易になる。また、誘電体膜と接する電極の表面を滑らかにすることも可能であり、電気特性が良好で信頼性の高い次世代DRAM或いはFRAMのキャパシタを得ることが可能に

なる。

【0012】

【発明の実施の形態】以下、本発明の好適な実施形態について説明する。図1(a)～(c)は、本発明の第1の実施形態であり、本発明に係るCMP法を用いたキャパシタの製造方法を示したものである。

【0013】11は電気的な接続をとるためのプラグであり、シリコン基板（図示せず）の主面側に形成された絶縁体膜12中に埋め込まれている。このような下地上に、TEOSを用いたプラズマCVD法によりプラズマSiO₂膜13を厚さ100nm程度成膜する。そして、プラグ11の真上に間口が直径300nm程度の穴14（開口部）を形成する。続いて、キャパシタの下部電極となるRu膜15をスパッタ法或いはCVD法により150nm程度成膜し、穴14を埋め込む（図1(a)）。

【0014】次に、CMP法によりプラズマSiO₂膜13をストッパーとしてRu膜15のCMPを行い、Ru膜15からなる下部電極をセルごとに絶縁する。ここで、スラリーとしては、粒径50nmのアルミナ粒子を水に5wt%分散させたものにHNO₃を添加してpHを2に調整し、さらにH₂O₂を3.5wt%添加したものをを用いる。また、研磨時の荷重を400g重/cm²に、トップリング及びターンテーブルの回転数を100rpmに設定する（図1(b)）。

【0015】上記CMPに用いるスラリーのポイントは、酸性でかつ酸化力のあることである。これは、Ru膜及びプラズマSiO₂膜（ともにベタ膜）の研磨レートをそれぞれ求めた以下の実験結果から明らかである。

【0016】H₂O₂を添加しないでHNO₃の添加量によってスラリーのpHを変化させた場合、図4に示すように、プラズマSiO₂膜の研磨レートは酸性にすると急激に低下する。そして、スラリーを酸性（pH=2程度）にして、Ru膜とプラズマSiO₂膜の研磨レートを接近させてから酸化剤であるH₂O₂をある程度添加すると、図5に示すように、両者の研磨レートの大小関係が逆転する。つまり、スラリーを酸性にすることによってプラズマSiO₂膜の研磨レートが下がり、酸化剤の有する酸化力によってRu膜の研磨レートが上がり、その結果、両者の研磨レートの大小関係が逆転するわけである。Ru膜のプラズマSiO₂膜に対する研磨レートの比を最大にするには、pH=2になるようにHNO₃を添加するとともに、H₂O₂を3.5wt%添加すればよい。なお、pH=2よりもさらに酸性側にすると、かえって選択比が小さくなってしまいうことがわかっていてる。

【0017】次に、キャパシタの誘電体膜として、BaSrTiO₃膜16をスパッタ法或いはCVD法により60nm程度成膜する。BaSrTiO₃膜がアモルファス状態の場合には、さらにアニール処理を施し、Ba

SrTiO₃ 膜16をペロフスカイト結晶化させる。続いて、キャパシタの上部電極として、Ru膜17をスパッタ法或いはCVD法により60nm程度成膜する(図1(c))。

【0018】その後、Ru膜17上に層間絶縁膜(図示せず)を成膜し、この層間絶縁膜の一部を開口し、Ru膜17と電気的接続をとるためのプラグ(図示せず)を形成して、DRAMのキャパシタが完成する。

【0019】従来のスラリーを用いてCMP法を行った場合、Ru膜15よりプラズマSiO₂ 膜13の方が大幅に研磨レートが速いため、プラズマSiO₂ 膜13がストッパーとして機能せず、研磨後のRu膜15の膜厚制御が困難であった。そのため、ウエハ面内或いはウエハ間で下部電極形状にばらつきが出てしまい、信頼性に欠けるという問題があった。本発明のスラリーを用いることにより、Ru膜15とプラズマSiO₂ 膜13との間に選択比がとれるようになったため、安定した加工形状を得ることが可能になった。

【0020】また、このCMP法により製造されるキャパシタは、誘電体膜16に接する下部電極表面がCMP法によりミクロ的にも滑らかになるため、電界集中が緩和されてリーク電流が低減する。さらに、同理由から、誘電体膜16の結晶性や配向性が向上し、誘電率が上がる効果もある。よって、キャパシタの電気特性および信頼性の向上につながることになる。

【0021】図2(a)～(c)は、本発明の第2の実施形態であり、本発明に係るCMP法を用いたキャパシタの製造方法を示したものである。21は電気的な接続をとるためのプラグであり、シリコン基板(図示せず)の主面側に形成された絶縁体膜22中に埋め込まれている。このような下地上に、TEOSを用いたプラズマCVD法によりプラズマSiO₂ 膜23を厚さ150nm程度成膜する。そして、プラグ21の真上に間口が直径300nm程度の穴24(開口部)を形成する。続いて、キャパシタの下部電極となるRu膜25をスパッタ法或いはCVD法により200nm程度成膜し、穴24を埋め込む(図2(a))。

【0022】次に、CMP法によりプラズマSiO₂ 膜23をストッパーとしてRu膜25のCMPを行い、Ru膜25からなる下部電極をセルごとに絶縁する。ここで、スラリーとしては、粒径50nmのアルミナ粒子を水に5wt%分散させたものにHNO₃ を添加してpHを2に調整し、さらにH₂O₂ を3.5wt%添加したものをを用いる。また、研磨時の荷重を400g重/cm² に、トップリング及びターンテーブルの回転数を100rpmに設定する(図2(b))。

【0023】次に、フッ酸又はフッ化アンモニウムによるウェットエッチング法或いはフロロカーボン系ガスによる反応性イオンエッチング法により、プラズマSiO₂ 膜23をRu膜25に対して選択的に除去し、Ru膜

25の側壁及び下地の絶縁体膜22の上面を露出させる。続いて、キャパシタの誘電体膜として、BaSrTiO₃ 膜26をスパッタ法或いはCVD法により60nm程度成膜する。BaSrTiO₃ 膜がアモルファス状態の場合には、さらにアニール処理を施し、BaSrTiO₃ 膜26をペロフスカイト結晶化させる。続いて、キャパシタの上部電極として、Ru膜27をスパッタ法或いはCVD法により60nm程度成膜する。このようにして形成されたキャパシタでは、プラズマSiO₂ 膜23が除去された領域28のRu膜25の側壁にもBaSrTiO₃ 膜26が形成されるので、その分キャパシタの容量を大きくすることができる(図2(c))。

【0024】その後、Ru膜27上に層間絶縁膜(図示せず)を成膜し、この層間絶縁膜の一部を開口し、Ru膜27と電気的接続をとるためのプラグ(図示せず)を形成して、DRAMのキャパシタが完成する。

【0025】従来のスラリーを用いてCMP法を行った場合、Ru膜25よりプラズマSiO₂ 膜23の方が大幅に研磨レートが速いため、プラズマSiO₂ 膜23がストッパーとして機能せず、研磨後のRu膜25の膜厚制御が困難であった。そのため、ウエハ面内或いはウエハ間で下部電極形状にばらつきが出てしまい、信頼性に欠けるという問題があった。本発明のスラリーを用いることにより、Ru膜25とプラズマSiO₂ 膜23との間に選択比がとれるようになったため、安定した加工形状を得ることが可能になった。

【0026】また、このCMP法により製造されるキャパシタは、誘電体膜26に接する下部電極表面(側壁表面は除く)がCMP法によりミクロ的にも滑らかになるため、電界集中が緩和されてリーク電流が低減する。さらに、同理由から、誘電体膜26の結晶性や配向性が向上し、誘電率が上がる効果もある。よって、キャパシタの電気特性および信頼性の向上につながることになる。

【0027】図3(a)～(c)は、本発明の第3の実施形態であり、本発明に係るCMP法を用いたキャパシタの製造方法を示したものである。31は電気的な接続をとるためのプラグであり、シリコン基板(図示せず)の主面側に形成された絶縁体膜32中に埋め込まれている。このような下地上に、TEOSを用いたプラズマCVD法によりプラズマSiO₂ 膜33を厚さ300nm程度成膜する。そして、プラグ31の真上に穴34(開口部)を形成する。穴34は、間口が直径200nm程度の丸穴であり、側面は垂直方向から10度程度傾くようにテーパをつけることが望ましい。続いて、キャパシタの下部電極となるRu膜35をスパッタ法或いはCVD法により、プラズマSiO₂ 膜33の上面及び穴34の内面に沿って60nm程度成膜する(図3(a))。

【0028】次に、CMP法によりプラズマSiO₂ 膜33をストッパーとしてRu膜35のCMPを行い、R

u膜35からなる下部電極をセルごとに絶縁する。ここで、スラリーとしては、粒径50nmのアルミナ粒子を水に5wt%分散させたものにHNO₃を添加してpHを2に調整し、さらにH₂O₂を3.5wt%添加したものをを用いる。また、研磨時の荷重を400g重/cm²に、トップリング及びターンテーブルの回転数を100rpmに設定する(図3(b))。

【0029】次に、キャパシタの誘電体膜として、BaSrTiO₃膜36をスパッタ法或いはCVD法により60nm程度成膜する。BaSrTiO₃膜がアモルファス状態の場合には、さらにアニール処理を施し、BaSrTiO₃膜36をペロフスカイト結晶化させる。続いて、キャパシタの上部電極として、Ru膜37をスパッタ法或いはCVD法により60nm程度成膜する。このようにして形成されたキャパシタでは、Ru膜35の側壁にもBaSrTiO₃膜36が形成されるので、その分キャパシタの容量を大きくすることができる(図3(c))。

【0030】その後、Ru膜37上に層間絶縁膜(図示せず)を成膜し、この層間絶縁膜の一部を開口し、Ru膜37と電気的接続をとるためのプラグ(図示せず)を形成して、DRAMのキャパシタが完成する。

【0031】従来のスラリーを用いてCMP法を行った場合、Ru膜35よりプラズマSiO₂膜33の方が大幅に研磨レートが速いため、プラズマSiO₂膜33がストッパーとして機能せず、研磨後のRu膜35の形状制御が困難であった。そのため、ウエハ面内或いはウエハ間で下部電極形状にばらつきが出てしまい、信頼性に欠けるという問題があった。本発明のスラリーを用いることにより、Ru膜35とプラズマSiO₂膜33との間に選択比がとれるようになったため、安定した加工形状を得ることが可能になった。

【0032】なお、本発明は上記実施形態に限定されるものではない。スラリーに関しては、酸性でかつ酸化力があればよく、添加物はHNO₃及びH₂O₂以外のものも使用可能である。酸性にする目的では、H₂SO₄やHClも使用できる。酸化力を持たせる目的では、KMnO₄、K₂Cr₂O₇等の酸化剤も使用できる。また、酸性と酸化力を同時に満足するような物質、例えばFe(NO₃)₃、Ce(NH₄)₂(NO₃)₆を添加する方法もある。研磨時の荷重、トップリング及びターンテーブルの回転数等に関しても、適宜変更可能である。

【0033】また、下部電極に関しては、Ru以外にもRh、Pd、Os、Ir、Ptを用いることも可能であ

る。Au、Agも使用可能であり、これらは硬度が小さいので、研磨粒子としてシリカを用いることもできる。また、上部電極に関しては、これらの材料に加えて、RuO₂、SrRuO₃、W、WN等も用いることが可能である。

【0034】さらに、誘電体膜に関しては、BaSrTiO₃以外にも、SrTiO₃、BaTiO₃、PbTiO₃、PbZrTiO₃等のペロフスカイト結晶の誘電体を用いることができる。PbZrTiO₃、PbTiO₃、BaTiO₃、BaSrTiO₃のように強誘電性を発現するペロフスカイト結晶を誘電体膜として用いる場合は、DRAM以外にFRAMへの適用も可能になる。その他、本発明はその趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0035】

【発明の効果】本発明によれば、酸性でかつ酸化力のあるスラリーを用いることにより、Ru等の貴金属膜をシリコン酸化膜に対して選択的に研磨することが可能となる。したがって、シリコン酸化膜をストッパーとして貴金属膜を化学的機械的研磨することができ、半導体装置のキャパシタの作製に用いた場合、キャパシタ電極の加工が容易になる。

【図面の簡単な説明】

【図1】本発明の第1の実施形態を示した製造工程断面図。

【図2】本発明の第2の実施形態を示した製造工程断面図。

【図3】本発明の第3の実施形態を示した製造工程断面図。

【図4】スラリーのpHを変化させたときのRu膜及びプラズマSiO₂膜の研磨レートを示した図。

【図5】スラリーのpHを固定して過酸化水素の濃度を変化させたときのRu膜及びプラズマSiO₂膜の研磨レートを示した図。

【符号の説明】

11、21、31…プラグ(接続用電極)

12、22、32…絶縁体膜

13、23、33…プラズマSiO₂膜(シリコン酸化膜)

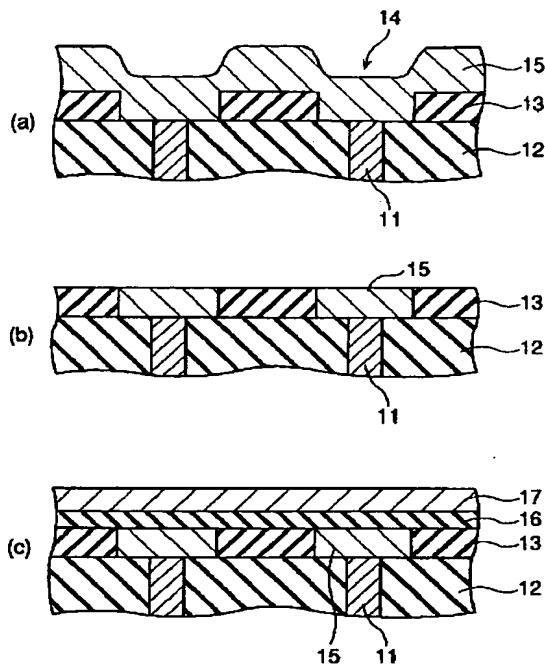
14、24、34…穴(開口部)

15、25、35…Ru膜(貴金属膜、キャパシタの下部電極)

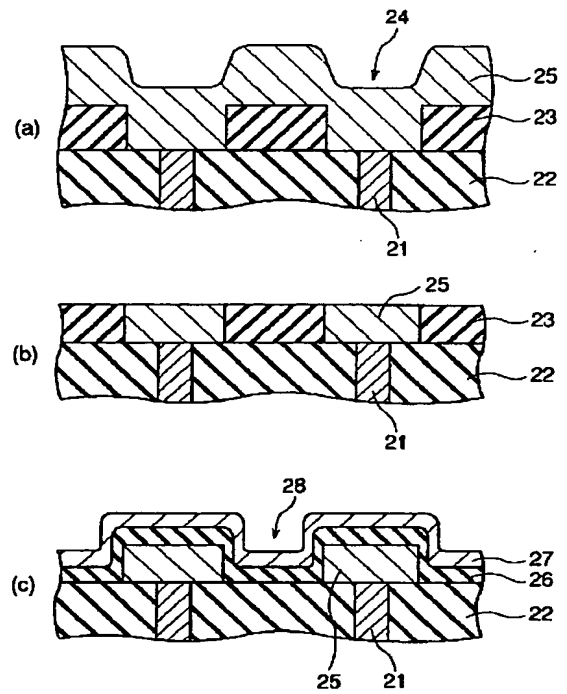
16、26、36…BaSrTiO₃膜(誘電体膜)

17、27、37…Ru膜(導電体膜、キャパシタの上部電極)

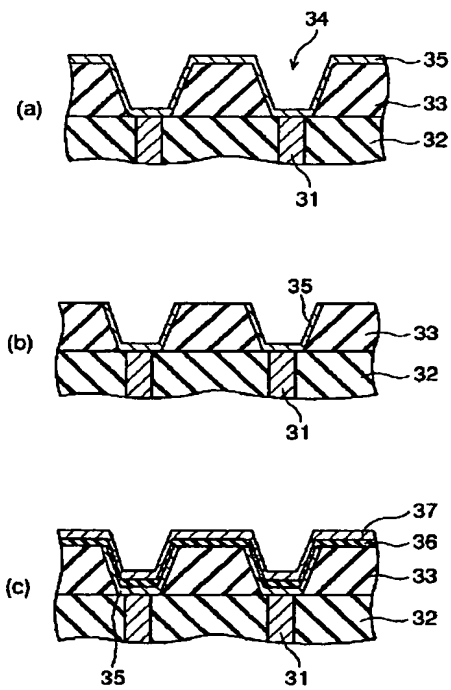
【図1】



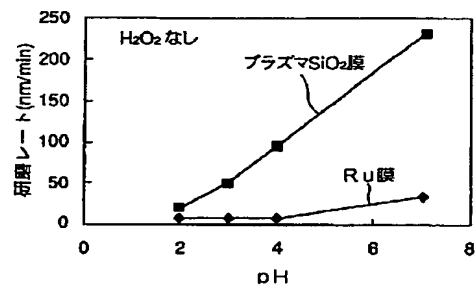
【図2】



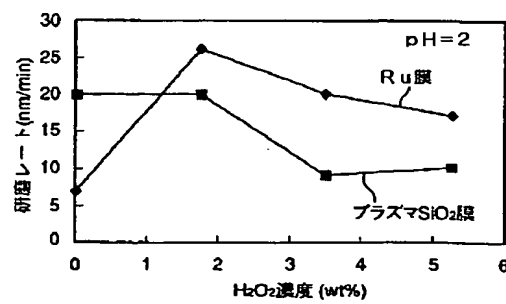
【図3】



【図4】



【図5】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 21/8242